



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06053821 A**(43) Date of publication of application: **25.02.94**

(51) Int. Cl.

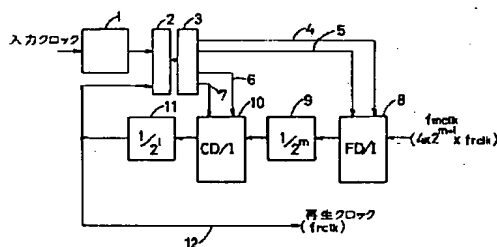
H03L 7/06(21) Application number: **04225122**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **30.07.92**(72) Inventor: **MIKI TSUTOMU**(54) **DIGITAL PLL CIRCUIT**

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To shorten a lock-up time and to reduce the quantity of jitter by measuring a phase difference between an input clock and a reproduced clock by a phase difference measuring circuit and controlling the quantity of clock insertion and deletion in accordance with the size of the measured value.

CONSTITUTION: An edge detecting circuit 1 detects the leading edge of an input clock and a phase difference measuring circuit 2 measures a phase difference. A clock insertion/deletion control circuit 3 forms a clock insertion signal a4, a clock deletion signal a5, a clock insertion signal b6, and a clock deletion signal b7. Since insertion/deletion circuit a8 inserts/deletes a fine clock, i.e., a short period clock, and a clock insertion/deletion circuit b10 inserts/deletes a rough clock, i.e., a long period clock, follow-up is executed by the rough clock inserting and deleting signals b6, b7 when the phase difference is large and that is executed by the fine clock inserting and deleting signals a4, a5 when the phase difference is small.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-53821

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵

H03L 7/06

識別記号

庁内整理番号

FI

技術表示箇所

9182-5J

H03L 7/06

G

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平4-225122

(22)出願日 平成4年(1992)7月30日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 三木 務

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

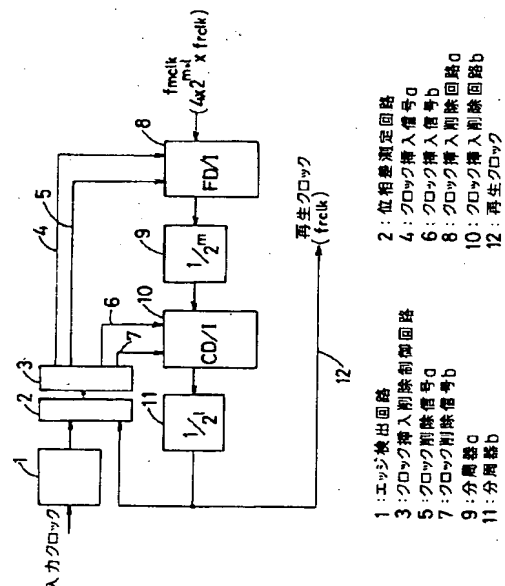
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 デジタルPLL回路

(57)【要約】

【目的】 ロックアップ時間が短く、ジッタ量の少ないデジタルPLL回路を得る。

【構成】 入力クロックと再生クロックの位相差を測定する位相差測定回路2、その位相差に応じてクロックの挿入、削除を行う複数のクロック挿入削除回路、及び複数の分周器9、11を用い、位相差測定回路により測定される位相差に応じてクロックの挿入削除を行うことによりPLLの追従速度を切り換える構成とした。



【特許請求の範囲】

【請求項1】 入力クロックのエッジを検出するエッジ検出回路と、

該エッジ検出回路の出力と後述する複数段の分周器の最終段の分周器の出力である再生クロックとの位相差を測定する位相差測定回路と、

該位相差測定回路の出力を受け後述する複数のクロック挿入削除回路の動作を制御するクロック挿入削除制御回路と、

該クロック挿入削除制御回路により制御され、クロックの挿入、削除を行う複数のクロック挿入削除回路と、
上記各クロック挿入削除回路の出力をそれぞれ分周しその出力を次段の各クロック挿入削除回路に入力する、あるいは再生クロックとする複数段の分周器とを備えたことを特徴とするデジタルPLL回路。

【請求項2】 上記複数段のうちの2以上の分周器に対し、その分周比の異なる2以上の分周出力のいずれを該分周器の出力とするかをロックアップ時間選択スイッチに応じて選択する分周比選択回路をさらに備えたことを特徴とする請求項1記載のデジタルPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はデジタルPLL回路に関するものである。

【0002】

【従来の技術】 図6は従来のデジタルPLL回路の一例を示す構成図であり、図において、60は位相比較器であり、入力クロックと、後述する再生クロック分周信号 $f_{rcl k}$ とを位相比較する。61はアップダウンカウンタであり、上記位相比較器60の出力の値に応じてクロック $f_{ckl k}$ をアップカウントまたはダウンカウントする。62はクロック挿入削除回路であり、アップダウンカウンタ61からのクロック挿入信号66、クロック削除信号67に応じて入力されるクロック $f_{mcl k}$ に対しクロックを挿入、削除する。63は $1/2^{n-1}$ 分周器（分周器a）であり、クロック挿入削除回路62からのクロックを $1/2^{n-1}$ 分周する。64は $1/2$ 分周器（分周器b）であり、 $1/2^{n-1}$ 分周器63からの再生クロック65を $1/2$ 分周して上記位相比較器60にクロック $f_{rcl k}$ として入力する。

【0003】 次に動作について説明する。まず、位相比較器60は入力クロックと再生クロック65を $1/2$ 分周した信号 $f_{rcl k}$ の位相比較を行う。具体的な位相比較回路は図7(a) に示す通り、EX-OR回路により実現される。図7において、(b), (e), (h) は入力クロックのタイミングを示し、(c), (f), (i) は $f_{rcl k}$ のタイミングを示し、(d), (g), (j) は位相比較器の出力タイミングを示している。

【0004】 本位相比較器60は入力クロックに対し、 $f_{rcl k}$ が 90° 進んだ点において位相比較器60の

出力にデューティ50%の矩形波（図7(j) に示す）が現れることとなる。

【0005】 図7において、(b), (c), (d) は入力クロックに対して $f_{rcl k}$ が 90° 以上進んでいる場合のタイミングを示しており、(e), (f), (g) は入力クロックに対して $f_{rcl k}$ が 90° 以下の進みである場合のタイミングを示しており、(h), (i), (j) は入力クロックに対して $f_{rcl k}$ が 90° 進んでいる場合のタイミングを示している。(d), (g), (j) の位相比較器出力のタイミングよりそのデューティを50%に制御することにより、入力クロックに対して $f_{rcl k}$ を 90° 進んだ位相に制御できることがわかる。

【0006】 次に、図6において、位相比較器60の出力はアップダウンカウンタ61に入力され、クロック挿入信号66及びクロック削除信号67が生成される。アップダウンカウンタ21の具体的な回路を図8に示す。

【0007】 図8において、外部より入力されるクロック $f_{ckl k}$ は、位相比較器60の出力に応じてアップカウントクロック及びダウンカウントクロックに選択される。本アップダウンカウンタ61はこのアップカウントクロックとダウンカウントクロックに対し、ローパスフィルタとして作用し、オーバフロー出力、及びボロー出力を各々クロック削除信号67、及びクロック挿入信号66として出力する。

【0008】 図6において、クロック挿入削除回路62は本クロック削除信号67及びクロック挿入信号66を受け、クロックの挿入削除を行う。具体的なタイミングを図9に示す。図9において、(a), (d) は入力クロック信号 $f_{mcl k}$ であり、(b) はクロック挿入信号66であり、(e) はクロック削除信号67であり、(c), (f) はクロック挿入削除回路62の出力信号62aである。なお、このクロック挿入削除回路62はクロックの挿入削除をおこなわないフリーランの状態では $1/2$ 分周する構成となっている。

【0009】 クロック挿入削除回路62の出力は $1/2^{n-1}$ 分周器63及び $1/2$ 分周器64により分周され、再び位相比較器60にて入力クロックと位相比較される。

【0010】 上述の通り、本帰還回路においては、位相比較器60により入力クロックと再生クロックの位相差成分が抽出され、本位相差成分によりクロックの挿入削除を行っており、安定状態においては両信号は図7の(h), (i) の位相関係を保つことができる。

【0011】

【発明が解決しようとする課題】 従来のデジタルPLL回路は以上のように構成されており、位相比較出力をアップダウンカウンタにてフィルタリングし、低域周波数成分のみを抽出するようにしているため、安定状態に至るまでの時間（ロックアップ時間）が長くなるという問題があった。

【0012】また、アップダウンカウンタ61の分周比を小さくし、フィルタ時定数を下げた場合にはロックアップ時間は短くなるが、安定状態におけるゆらぎ（ジッタ）が大きくなるという問題があった。

【0013】この発明は上記のような問題点を解消するためになされたもので、ロックアップ時間が短く、ジッタの少ないデジタルPLL回路を提供することを目的とする。

【0014】

【課題を解決するための手段】この発明に係るデジタルPLL回路は、入力クロックのエッジを検出するエッジ検出回路と、該エッジ検出回路からの入力クロックと最終段の分周器の出力からの再生クロックとの位相差を測定する位相差測定回路と、該位相差測定回路の出力に応じて動作を行うクロック挿入削除制御回路、及び複数のクロック挿入削除回路と、各クロック挿入削除回路の出力に応じて分周を行う分周器とを設け、上記位相差の大小に応じてクロック挿入削除量を制御することにより、ロックアップ時間が短くジッタの少ないデジタルPLLを実現したものである。

【0015】

【作用】この発明におけるデジタルPLL回路は、位相差測定回路により入力クロックと再生クロックの位相差を測定し、その値の大小によりクロック挿入削除量を制御するため、位相差が大きい場合には高速にロックし、位相差が小さい場合にはジッタの少ない追従が可能となる。

【0016】

【実施例】以下、この発明の一実施例を図について説明する。

実施例1. 図1はこの発明の一実施例によるデジタルPLL回路を示し、図において、1は入力クロックのエッジを検出するエッジ検出回路、2はエッジ検出回路1の出力と再生クロック（f r e l k）とを2入力とし、その位相差を出力する位相差測定回路、3は該位相差測定回路2からの位相差出力に応じてクロックの挿入削除を制御するクロック挿入削除制御回路、4は該回路3からのクロック挿入信号a、5はクロック削除信号a、6はクロック挿入信号b、7はクロック削除信号b、8は細かい（FINE）クロックの挿入削除を行うクロック挿入削除回路a（FD/I）、9は分周器aであり、1/2^m分周器、10は粗い（COARSE）クロックの挿入削除を行うクロック挿入削除回路b（CD/I）、11は分周器bであり、1/2^l分周器、12は再生クロック（f r e l k）である。

【0017】図1の構成をより具体的に図2に示す。図2に示すように、エッジ検出回路1はD入力に入力クロック（f c l k）が入力され、クロック入力CKにシステムクロック（M c l k = 128 × f c l k）が入力される2つのD-フリップフロップ1a、1bと排他的論

理和回路1cとから構成され、位相差測定回路2はカウンタ2aと、AND回路2bと、3つのSR-フリップフロップ2c、2d、2eと、3つのD-フリップフロップ2f、2g、2hとから構成される。ここで、カウンタ2aの出力Q4、Q5、Q6は図3に示す信号B、C、Dとなっている。クロック挿入削除制御回路3は4つのAND回路3a、3b、3c、3dから構成され、クロック挿入削除回路8、10はそれぞれFINE（密な）、COARSE（粗い）のクロック挿入削除回路であり、分周器a9、b11はそれぞれ1/4、1/8分周器となっている。

【0018】次に動作について図3の波形図を用いて説明する。まず、エッジ検出回路1は入力クロック（f c l k）の立上りエッジを検出し、位相差測定回路2は、入力クロックの立上りエッジと再生クロック（f r e l k）の立上りエッジの位相差を測定する。図3において、(A)に示すAは入力クロックであり、(B)～(D)に示すB～Dは入力クロックの立上り後、各々異なる一定の期間“H”となる信号で、カウンタ2aの出力Q4、Q5、Q6に現れる信号である。B～Dの信号より入力クロックAの周期はT1、T2、T3、T4の4期間に分割される。位相差測定回路2は再生クロック12の立上りタイミングにおいて、B～Dの信号を保持することにより、入力クロックと再生クロックの位相関係を4通りの位相関係として測定することができる。

【0019】また図2において、クロック挿入削除制御回路3は、位相差測定回路2より出力される位相差信号より4通りのクロック挿入削除制御信号、即ちクロック挿入信号a(4)、クロック削除信号a(5)、クロック挿入信号b(6)、クロック削除信号b(7)を生成する。

【0020】図3の(F)～(M)において、入力クロックAと4通りの位相関係を持った再生クロックF、H、J、L、及び各々の再生クロックF、H、J、Lに対応したクロック挿入削除信号G、I、K、Mを示す。

【0021】図2において、クロック挿入削除回路a8は、クロック挿入信号a4（FI）とクロック削除信号a5（FD）とを受け、入力クロックの挿入削除を行う。また、クロック挿入削除回路b10は、クロック挿入信号b6（CI）とクロック削除信号b7（CD）とを受け、入力クロックの挿入削除を行う。

【0022】クロック挿入削除回路a8、b10は位相差測定回路2によって測定された位相差を、より少なくする方向でクロックの挿入削除を行うため、入力クロックと再生クロックの位相差は次第に0°に収束していく。

【0023】また、クロック挿入削除回路a8は、細かい、即ち周期の短いクロックの挿入削除を行い、クロック挿入削除回路b10は粗い、即ち周期の長いクロックの挿入削除を行うため、入力クロックと再生クロックの位相差が大きい場合には粗いクロック挿入信号b6（C

I) とクロック削除信号 b 7 (CD) により高速での追従を行い、入力クロックと再生クロックの位相差が小さい場合には細かいクロック挿入信号 a 4 (FI) とクロック削除信号 a 5 (FD) により追従する時間単位を少なくし、ジッタを低減することができる。

【0024】このような構成の本実施例回路では、位相差測定回路で測定した位相差に応じて細かい、または粗いクロックの挿入削除を行うことにより、位相差の大きさに応じて追従速度を切り換える構成にしたので、ロックアップ時間が短くかつジッタの少ない PLL を実現することができる。

【0025】実施例 2. なお、上記実施例 1 では、2通りのクロック挿入削除回路 a 8, b 10 を使い、各々に異なるクロック挿入削除信号 4, 5, 6, 7 を供給する構成を示したが、これは図 4 の本発明の第 2 の実施例に示す通り、3 通り以上のクロック挿入削除回路及び分周回路 4 2, 4 3, 4 4 を用いるようにしてもよく、上記実施例 1 と同様の効果が得られる。図中、4 0 はエッジ検出回路、4 1 は位相差測定回路及びクロック挿入削除制御回路である。

【0026】実施例 3. また、図 5 は本発明の第 3 の実施例によるデジタル PLL 回路の一部を示し、図において、5 3, 5 5 はクロック挿入削除回路 a, b、5 4, 5 6 は分周器 a, b、5 4 a, 5 4 b, 5 6 a, 5 6 b は各分周器 a, b の分周比の異なる出力、5 7 は再生クロック、5 8 はロックアップ時間選択スイッチ、5 9 a, 5 9 b, 5 9 d, 5 9 e は AND ゲート、5 9 c, 5 9 f は OR ゲートである。5 0 a, 5 0 b はそれぞれこれらのゲートよりなり、分周器 5 4, 5 6 の分周比の異なる 2 つの分周出力のいずれを、該分周器の出力とするかを、ロックアップ時間選択スイッチ 5 8 に応じて選択する分周比選択回路である。

【0027】本実施例では、分周器 a 5 4 及び分周器 b 5 6 の分周比を、ロックアップ時間選択スイッチ 5 9 のオン、オフにより切り換えることにより、用途に応じ、ロックアップ時間とジッタ量を選択することができる。即ち、ロックアップ時間選択スイッチ 5 8 がオフのときは AND ゲート 5 9 a がオフ、AND ゲート 5 9 b がオンとなるため分周器 5 4 の分周比の低い出力 5 4 b が OR ゲート 5 9 c を介して出力され、また AND ゲート 5 9 d がオン、AND ゲート 5 9 e がオフとなるため分周器 5 6 の分周比の高い出力 5 6 a が OR ゲート 5 9 f を介して出力され、これが再生クロックとなり、一方ロックアップ時間選択スイッチ 5 8 がオフのときは、上記と逆に、分周器 5 4 の分周比の高い出力 5 4 a および分周器 5 6 の分周比の低い出力 5 6 b が選択されるようになっている。

【0028】従って、両分周器 5 4, 5 6 を経た出力はトータルの分周比は常に同じとなるよう構成されるときにも、ロックアップ時間選択スイッチ 5 8 がオンのとき

は分周器 5 4 では分周比の高い分周器後段側の出力 5 4 a が選択され、分周器 5 6 では分周比の低い分周器前段側の出力 5 6 b が選択されて、より細かい PLL 動作が選択されてロックアップ時間は長くなってもジッタの少ない PLL 動作が行われることとなる。

【0029】一方、ロックアップ時間選択スイッチ 5 8 がオフのときは、分周器 5 4 では分周比の低い分周器前段側の出力 5 4 b が選択され、分周器 5 6 では分周比の高い分周器後段側の出力 5 6 a が選択されて、より粗な PLL 動作が選択されてジッタがあってもロックアップ時間の短い PLL 動作が行われることとなる。

【0030】

【発明の効果】以上のように、この発明によれば、位相差測定回路により入力クロックと再生クロックの位相差を測定し、その値に応じてクロックの挿入削除を、FINE と COARSE を切り換えて行うことにより PLL の追従速度を切り換えるようにしたため、ロックアップ時間が短く、かつジッタの少ない PLL を構成することができる効果がある。

20 【図面の簡単な説明】

【図 1】本発明の一実施例によるデジタル PLL 回路を示す構成図。

【図 2】図 1 のより詳細な構成図。

【図 3】位相差測定回路の動作を説明するタイミングチャート。

【図 4】本発明の第 2 の実施例によるデジタル PLL 回路を示す構成図。

【図 5】本発明の第 3 の実施例によるデジタル PLL 回路を示す構成図。

30 【図 6】従来のデジタル PLL 回路の一例を示す構成図。

【図 7】図 6 における位相比較回路の動作を示すタイミングチャート。

【図 8】図 6 におけるアップダウンカウンタを示す構成図。

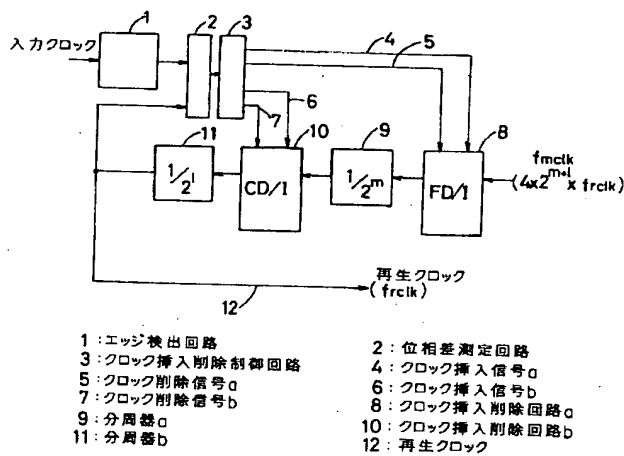
【図 9】図 6 におけるクロック挿入削除回路の動作を示すタイミングチャート。

【符号の説明】

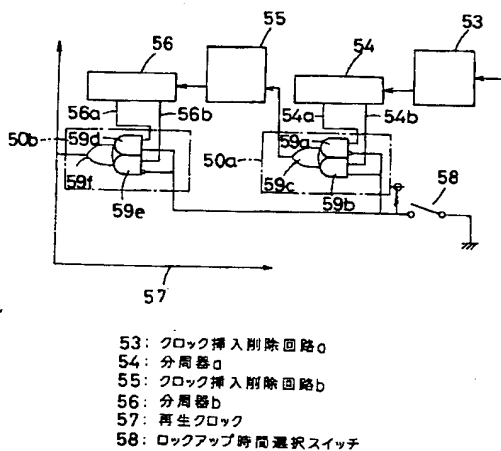
- 1 エッジ検出回路
- 2 位相差測定回路
- 3 クロック挿入削除制御回路
- 4 クロック挿入信号 a
- 5 クロック削除信号 a
- 6 クロック挿入信号 b
- 7 クロック削除信号 b
- 8 クロック挿入削除回路 a
- 9 分周器 a
- 10 クロック挿入削除回路 b
- 11 分周器 b
- 12 再生クロック

- 20 位相比較器
 21 アップダウンカウンタ
 22 クロック挿入削除回路
 26 クロック挿入信号
 27 クロック削除信号
 40 エッジ検出回路
 41 位相差測定回路
 42, 43, 44 クロック挿入削除回路および分周回路
 45 再生クロック

【図1】

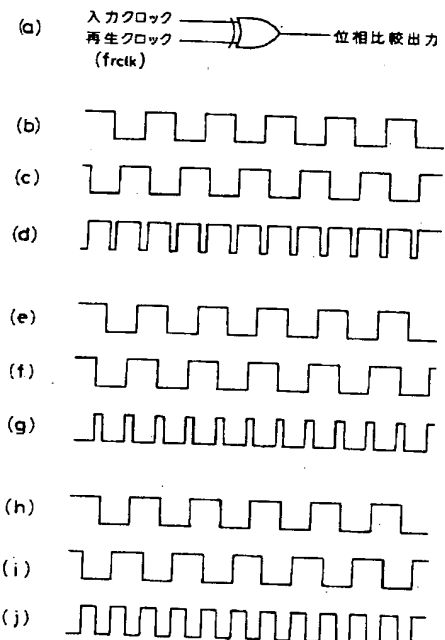


【図5】

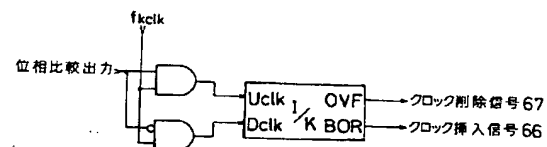


- 53, 55 クロック挿入削除回路
 54 分周器a
 56 分周器b
 54a, 54b, 56a, 56b 分周出力
 57 再生クロック
 58 ロックアップ時間選択スイッチ
 59a, b, d, e ANDゲート
 59c, f ORゲート
 50a, b 分周比選択回路

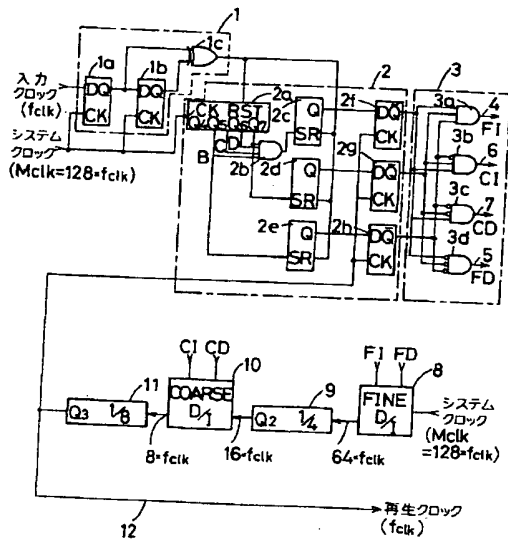
【図7】



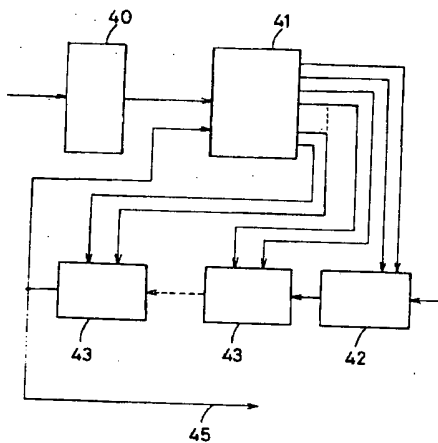
【図8】



【図2】

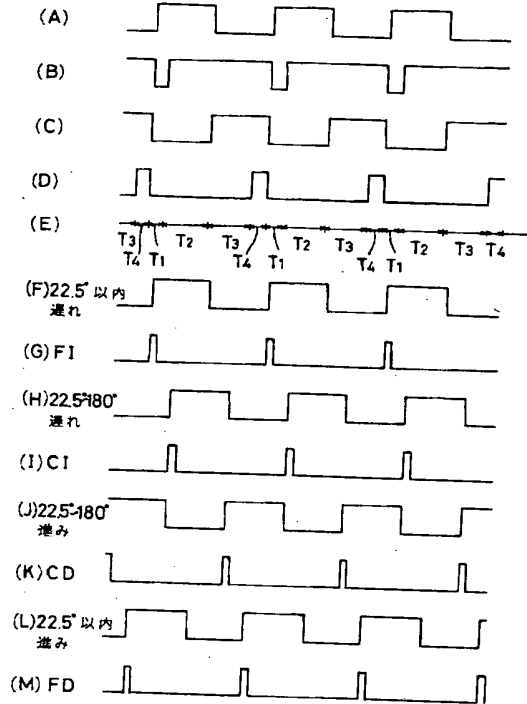


【図4】



- 40 : エッジ検出回路
 41 : 位相差測定回路及びクロック挿入削除制御回路
 42 : クロック挿入削除及び分周回路a
 43 : クロック挿入削除及び分周回路b
 44 : クロック挿入削除及び分周回路c
 45 : 再生クロック

【図3】



【図9】

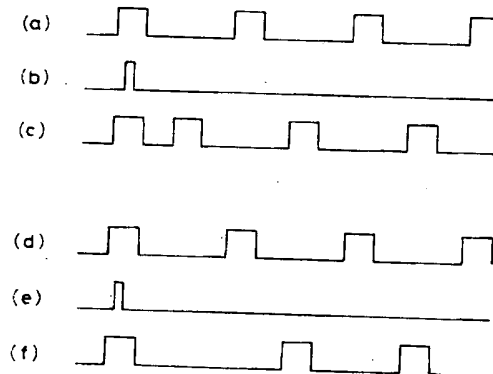


Figure 1 is a block diagram of a clock frequency divider circuit. The circuit includes the following components and connections:

- 60**: 位相比較器 (Phase Comparator)
- 61**: アップダウンカウンタ (Up/Down Counter)
- 62**: クロック挿入削除回路 (Clock Insertion/Deletion Circuit)
- 63**: 分周器 a (Divider a)
- 64**: 分周器 b (Divider b)
- 65**: 再生クロック (Regenerated Clock)
- 66**: クロック挿入信号 (Clock Insertion Signal)

The input clock (入カクロック) is fed into the phase comparator (60) and the clock insertion circuit (66). The phase comparator (60) outputs a signal to the up/down counter (61). The up/down counter (61) outputs a signal to the divider (63). The divider (63) outputs a signal to the divider (62). The divider (62) outputs a signal to the clock insertion circuit (66). The clock insertion circuit (66) outputs a signal to the phase comparator (60). The divider (64) is a $1/2$ divider, and the divider (63) is a $1/2^{n-1}$ divider. The output of the divider (62) is the clock frequency (f_{mclk}) which is $(2 \cdot 2^n \cdot f_{clk})$.